

**Family list**

**1** family member for:

**JP2001308258**

Derived from 1 application.

**1 SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING IT**

Publication info: **JP2001308258 A** - 2001-11-02

---

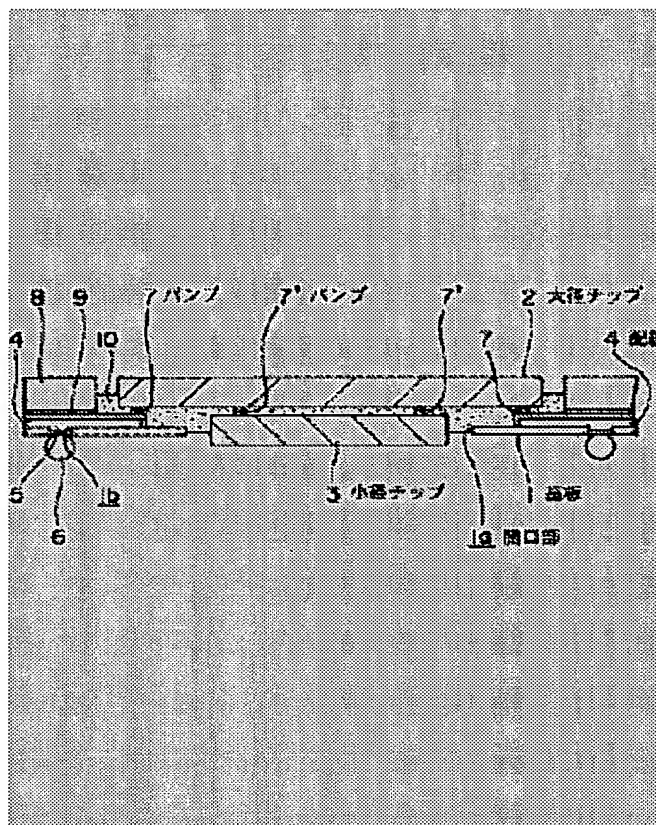
Data supplied from the **esp@cenet** database - Worldwide

# SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING IT

**Patent number:** JP2001308258  
**Publication date:** 2001-11-02  
**Inventor:** KOBAYASHI HIROTAKA  
**Applicant:** SONY CORP  
**Classification:**  
**- International:** H01L25/065; H01L25/07; H01L25/18  
**- european:**  
**Application number:** JP20000125953 20000426  
**Priority number(s):** JP20000125953 20000426

## Abstract of JP2001308258

**PROBLEM TO BE SOLVED:** To provide a semiconductor package wherein, even though a plurality of semiconductor chips are mounted, a package size can be made small and thin and the number of wiring on a substrate can be reduced, and to provide the method of manufacturing it.  
**SOLUTION:** The semiconductor package has the substrate 1 comprising an opening part 1a and a surface provided with the wiring 4, a large diameter chip (a semiconductor chip of large diameter) 2 that faces the opening part 1a and is electrically connected to the wiring 4 in the periphery of the opening part 1a via a bump 7, and a small diameter chip (a semiconductor chip of small diameter) 3 that is fitted in the opening part 1a in a state of facing the large diameter chip 2 and is electrically connected to the large diameter chip 2 via a bump 7'.



# 引用文献 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308258

(P2001-308258A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 25/065

25/07

25/18

識別記号

F I

H 0 1 L 25/08

テーマコード (参考)

B

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2000-125953 (P2000-125953)

(22) 出願日 平成12年4月26日 (2000.4.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小林 寛隆

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74) 代理人 100086298

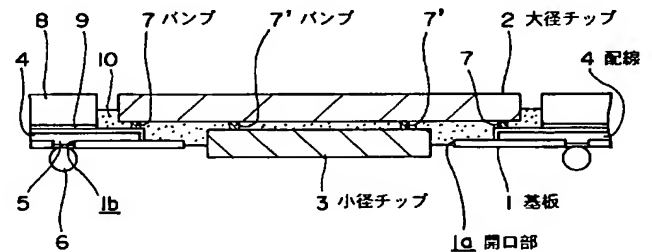
弁理士 船橋 國則

(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 複数の半導体チップを搭載しながらも、パッケージサイズを薄型化及び小型化でき、かつ基板上における配線数を少なくすることが可能な半導体パッケージ及びその製造方法を提供する。

【解決手段】 開口部 1 a を有すると共に表面に配線 4 を設けてなる基板 1 と、開口部 1 a に対向して設けられ、パンプ 7 を介して開口部 1 a 周囲の配線 4 に対して電氣的に接続された大径チップ (大径の半導体チップ) 2 と、大径チップ 2 に対向させた状態で開口部 1 a 内にはめ込まれ、パンプ 7' を介して大径チップ 2 に電氣的に接続された小径チップ (小径の半導体チップ) 3 とを備えたことを特徴とする半導体パッケージ。



## 【特許請求の範囲】

【請求項 1】 開口部を有すると共に表面に配線を設けてなる基板と、

前記開口部に対向して設けられ、バンプを介して当該開口部周囲の前記配線に対して電氣的に接続された大径の半導体チップと、

前記大径の半導体チップに対向させて前記開口部内にはめ込まれ、バンプを介して前記大径の半導体チップに電氣的に接続された小径の半導体チップとを備えたことを特徴とする半導体パッケージ。

【請求項 2】 請求項 1 記載の半導体パッケージにおいて、

前記大径の半導体チップと前記小径の半導体チップとの間に導電層を設けたことを特徴とする半導体パッケージ。

【請求項 3】 請求項 1 記載の半導体パッケージにおいて、

少なくとも前記大径の半導体チップと前記基板との間及び当該大径の半導体チップと前記小径の半導体チップとの間に樹脂が充填されていることを特徴とする半導体パッケージ。

【請求項 4】 対向させて配置した大径の半導体チップと小径の半導体チップとをバンプを介して電氣的に接続する工程と、

基板上に形成された開口部内に前記小径の半導体チップをはめ込み、当該開口部周囲の前記基板上に設けられた配線に対してバンプを介して前記大径の半導体チップを電氣的に接続する工程とを行うことを特徴とする半導体パッケージの製造方法。

【請求項 5】 基板上に形成された開口部に対して大径の半導体チップを対向させて配置し、当該開口部周囲における前記基板上に設けられた配線にバンプを介して当該大径の半導体チップを電氣的に接続する工程と、

前記大径の半導体チップに対向させる状態で前記開口部内に小径の半導体チップをはめ込み、バンプを介して当該大径の半導体チップと小径の半導体チップとを電氣的に接続する工程とを行うことを特徴とする半導体パッケージの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体パッケージ及びその製造方法に関し、特に複数の半導体チップを同一基板上に搭載してなる半導体パッケージ及びその製造方法に関する。

## 【0002】

【従来の技術】 一般に、多くの半導体パッケージは、1つのパッケージ内に1つの半導体素子（半導体チップ）を組み込んで構成されているが、近年では、半導体チップ単体での高機能化、高集積化の限界から、1つのパッケージ内に2つ以上の半導体チップを組み込むことで、

実質的な多機能化を実現したものが知られている。このような構成の半導体パッケージは、図18に示したように同一の基板101上に2つ以上の半導体チップ102、103を搭載してなり、特開平9-51015号公報にも開示されている。

【0003】 またこの他にも、2つの半導体チップの機能を1つの半導体チップ内に作り込むことで、半導体パッケージの高機能化を実現したものもある。

## 【0004】

10 【発明が解決しようとする課題】 ところが、1つのパッケージ内に2つ以上の半導体チップを組み込んだ場合、半導体チップを搭載した基板上における配線の引き回しが複雑になるため、パッケージサイズが大きくなったり、コストが上昇するといった問題が生じる。

【0005】 一方、2つの半導体チップの機能（例えばメモリーとロジック）を1つの半導体チップ内に作り込んだ場合、ウェハプロセスが長くなるため、歩留まりの低下やコストの上昇といった問題が発生する。さらに、設計工数も多くなるため、タイムリーな設計が出来ないと言った問題や、ユーザーの要望に合わせてメモリーサイズを変更する場合であっても、その都度設計を行う必要があり、設計工数の増加、マスクの作製やタイプ数の増加に伴う在庫管理等の問題も生じる。

【0006】 そこで本発明は、複数の半導体チップを搭載しながらも、パッケージサイズを薄型化及び小型化でき、かつ基板上における配線数を少なくすることが可能な半導体パッケージ及びその製造方法を提供することを目的とする。

## 【0007】

30 【課題を解決するための手段】 このような目的を達成するための本発明の半導体パッケージは、開口部を有すると共に表面に配線を設けてなる基板を備えている。そして、大径の半導体チップが、開口部に対向して設けられると共に、バンプを介して当該開口部周囲の配線に対して電氣的に接続されている。また、この大径の半導体チップに対向させて開口部内に小径の半導体チップをはめ込まれ、小径の半導体チップと大径の半導体チップとがバンプを介して電氣的に接続されている。

40 【0008】 このような構成の半導体パッケージでは、基板上の配線を介することなく小径の半導体チップと大径の半導体チップとの接続が行われるため、基板上における配線数が少なくなる。また、大径の半導体チップ内に小径の半導体チップが収まるため、パッケージサイズの小型化が図られる。しかも、基板の開口部内に小径の半導体チップが収納されるため、パッケージ厚が厚くなることもない。

50 【0009】 また、本発明の第1の半導体パッケージの製造方法は、対向させて配置した大径の半導体チップと小径の半導体チップとをバンプを介して電氣的に接続する工程と、基板上に形成された開口部内に小径の半導体チ

チップをはめ込み、当該開口部周囲の基板上に設けられた配線に対してバンパを介して大径の半導体チップを電気的に接続する工程とを行う。

【0010】さらに、本発明の第2の半導体パッケージの製造方法は、基板に形成された開口部に対して大径の半導体チップを対向させて配置し、当該開口部周囲における基板上に設けられた配線にバンパを介して大径の半導体チップを電気的に接続する工程と、大径の半導体チップに対向させる状態で開口部内に小径の半導体チップをはめ込み、バンパを介して当該大径の半導体チップと小径の半導体チップとを電気的に接続する工程とを行う。

【0011】このような製造方法によれば、基板上の配線を介することなく大径の半導体チップと小径の半導体チップとが接続され、かつ大径の半導体チップと基板上の配線とが接続されると共に、基板に形成された開口部内に小径の半導体チップが収納された半導体パッケージが得られる。

【0012】

【発明の実施の形態】以下、本発明の半導体パッケージ及びその製造方法を図面に基づいて詳細に説明する。

【0013】図1は、本発明の半導体パッケージの一例を示す断面図である。この図に示す半導体パッケージは、基板1、大径の半導体チップ（以下、大径チップと記す）2、及び小径の半導体チップ（以下、小径チップと記す）3を備えている。

【0014】基板1は、通常のプリント基板、セラミック基板、ポリイミド樹脂などからなるフィルム状の基板等であり、中央部に開口部1aが設けられている。この開口部1aは、大径チップ2よりも小さく小径チップ3よりも大きい径を有していることとする。また、基板1には、この開口部1aの他に、複数の接続孔1bが形成されている。さらに、基板1の表面には、配線4が設けられている。

【0015】この配線4は、開口部1aの周縁付近にまで延設され、開口部1aの周囲においては電極パッドとしてある程度の面積を有して設けられている。また、この配線4は、基板1に設けられた接続孔1bを介して基板1の裏面側に露出しており、例えば接続孔1b内を埋め込む状態で設けられた導電性材料5を介して、基板1の裏面側に設けられた半田ボール6と接続されている。導電性材料5は、例えば配線4と同様の材料からなることとする。

【0016】尚、基板1に設けられた接続孔1bは、応力緩和のため、通常は大径チップ2及び小径チップ3の外側に配置されることとする。

【0017】そして、大径チップ2は、例えばロジック系の半導体素子からなり、開口部1aに対向させた状態で基板1の表面側（すなわち配線4が設けられた側）に配置されている。この大径チップ2の表面（開口部1a

と対向する面）には、基板1の開口部1a周囲に設けられた配線4の電極パッド部分と対応する位置、及びこれよりも一回り内側の位置に、ここでの図示は省略した外部電極が形成されている。そして、大径チップ2の外部電極と基板1の配線4（電極パッド部分）とが、バンパ7を介して電気的に接続されている。

【0018】ここで、例えば基板1がフィルム状のものである場合、必要に応じて基板1の強度を確保するための支持体（いわゆるスティフナ）8が、この大径チップ2を囲む状態で、基板1の表面側に接着剤9にて固定されていることとする。この支持体8は、例えば、Cuやステンレス等の金属材料、プリント基板材料、モールドで形成したエポキシ樹脂や熱可塑性樹脂等からなるリング状のものであることとする。尚、基板1がプリント基板である場合には、支持体8を設ける必要はない。

【0019】一方、小径チップ3は、例えばメモリ系の半導体素子からなり、大径チップ2の表面に対向させた状態で開口部1a内にはめ込まれている。この小径チップ3の表面（大径チップ2と対向する面）には、大径チップ2に設けられた外部電極と対応する位置に、ここでの図示は省略した外部電極が形成されている。そして、大径チップ2の外部電極と小径チップ3の外部電極とが、バンパ7'を介して電気的に接続されている。

【0020】また、大径チップ2と小径チップ3との間、基板1と大径チップ2及び小径チップ3との間、大径チップ2の表面及び小径チップ3の表面、さらには大径チップ2と支持体8との間は、樹脂10を充填することによって封止されている。

【0021】このような構成の半導体パッケージによれば、基板1上の配線4を介することなく小径チップ3と大径チップ2との接続が行われるため、基板1上における配線4数を少なくすることができる。この結果、配線設計を簡便にすることが可能になると共に、パッケージサイズの小型化及びコストの削減を図ることができる。

【0022】また、このような構成の半導体パッケージによれば、大径チップ2の範囲内に小径チップ3が収まることから、パッケージサイズの小型化を図ることができる。しかも、基板1の開口部1a内に小径チップ3が収納されるため、パッケージ厚が厚くなることもない。さらに、通常、パッケージ厚を薄くするために半導体チップを薄型化する場合があるが、薄膜化した半導体チップを基板1上に接合した場合には、半導体パッケージの反りが大きくなるため、実装基板上への半導体チップの搭載が困難になる。しかし、本実施形態においては、小径チップ3と大径チップ2とが対向して重ね合わされるためチップ厚が確保され、半導体パッケージの反りが小さく抑えられる。このため、実装基板上への搭載も容易になる。

【0023】図1を用いて説明した半導体パッケージは、1つの大径チップ2に対して1つの小径チップ3を

接続させた場合を説明した。しかし、本発明の半導体パッケージはこれに限定されることはなく、図2に示すように、1つの大径チップ2に対して複数(図面においては2つ)の小径チップ3、3'を接続させても良い。この場合、大径チップ2の表面側に対して、各小径チップ3、3'の表面側をそれぞれ対向させた状態でこれらの小径チップ3、3'が配置されることとする。そして、基板1に形成される開口部1aは、大径チップ2に接続された小径チップ3、3'が収納される程度の内径を有して形成され、この開口部1a内に各小径チップ3、3'がはめ込まれていることとする。

【0024】さらにこのような場合、ここでの図示は省略したが、基板1に複数の開口部を形成し、各開口部にそれぞれ各小径チップ3、3'をはめ込んだ構成にしても良い。このようにした場合、各開口部間の基板1部分において、基板1上の配線4と大径チップ2との接続を図ることも可能になり、基板1上における配線4の引き回しの自由度が向上する。

【0025】また、図1の半導体パッケージでは、大径チップ2と小径チップ3との間に樹脂10を充填した場合を説明した。しかし、図3に示すように、小径チップ3の表面に絶縁膜(図示省略)を介して導電層21を設けることで、大径チップ2と小径チップ3との間をこの導電層21で遮断するようにしても良い。この導電層21は、大径チップ2及び小径チップ3に対して絶縁状態を保って設けられることとし、例えばグランドまたは電源ラインに接続させても良い。この場合、導電層21と大径チップ2との間に樹脂10が充填されることになる。

【0026】このような構成の半導体チップでは、導電層21が、メモリ(小径チップ3)から発生するノイズのシールドや、外部からメモリに影響を与えるノイズのシールドとなる。したがって、メモリ(小径チップ3)やロジック(大径チップ2)の誤動作を防止でき、半導体パッケージの信頼性の向上を図ることが可能になる。

【0027】さらに、図1の半導体パッケージでは、大径チップ2と小径チップ3との間、基板1と大径チップ2及び小径チップ3との間、大径チップ2の表面及び小径チップ3の表面、さらには大径チップ2と支持体8との間が樹脂10にて封止されている場合を示した。しかし、樹脂10の充填状態は、これに限定されることはない。

【0028】例えば、上述の図2及び図3や、図4に示すように、大径チップ2と小径チップ3との間、基板1と大径チップ2との間、大径チップ2の表面及び小径チップ3の表面が樹脂10で封止され、大径チップ2と支持体8との間には樹脂10を充填しなくても良い。

【0029】ここで、図5に示すように、樹脂10は、少なくとも大径チップ2と小径チップ3との間、基板1と大径チップ2との間に充填されていることとする。

【0030】また、本発明の半導体パッケージは、図6から図1.1に示すような構成であっても良い。

【0031】例えば、半導体パッケージは、図6に示すように、基板1に設けられた接続孔1b内が、配線4と異なる導電性材料5'(例えば半田ボール6と同様の半田)で埋め込まれた構成であっても良い。

【0032】また、半導体パッケージは、図7に示すように、基板1の表面側(すなわち配線4が設けられている側であり、ここでは大径チップ2が搭載されている側)に、半田ボール6を設けた構成であっても良い。この場合、基板1の表面側における大径チップ2の周囲は、配線4を埋め込むようにソルダーレジスト層22で覆われていることとする。このソルダーレジスト層22には、配線4に達する接続孔22bが形成され、この接続孔22bを介して配線4と半田ボール6とが接続されていることとする。また、この場合、支持体8は、基板1の裏面側(すなわち配線4が設けられていない側)に接着されていることとする。

【0033】また、以上の各図面においては、BGA(Ball Grid Array)構成の半導体パッケージを示した。しかし、本発明の半導体パッケージは、例えば図8及び図9に示すように、半田ボール(6)が設けられていないLGA(Land Grid Array)構成のものにも同様に適用が可能である。この場合、図8に示すように、基板1の接続孔1b内が導電性材料で埋め込まれていない構成であっても良く、また図9に示すように、基板1の接続孔1b内が導電性材料5で埋め込まれている構成であっても良い。

【0034】さらに、半導体パッケージは、図10に示すように、大径チップ2または小径チップ3を囲む形状の支持体(8)が基板1上に設けられていない構成であっても良い。

【0035】この他にも、半導体パッケージは、図11に示すように、基板1と大径チップ2とが同程度の大きさであっても良い。この場合、基板1に設けられる接続孔1b及び半田ボール6は、大径チップ2の大きさの範囲内、図面においては図11の下方に設けられることとする。

【0036】図12及び図13には、以上で説明した半導体パッケージの実装状態を示す。ただし、ここでは図1から図11を用いて説明した半導体パッケージを代表して、図1を用いて説明した構成の半導体パッケージの実装状態を図12に示し、図7を用いて説明した構成の半導体パッケージの実装状態を図13に示している。

【0037】これらの図に示すように、半導体パッケージPは、実装基板31上の配線パターン32形成面に対して、半田ボール6が設けられている面を対向させた状態で配置されている。そして、半導体パッケージPに設けられた半田ボール6を介して、半導体パッケージPの配線4と実装基板31上の配線パターン32とが接続さ

れている。

【0038】また、実装基板31と半導体パッケージPの半導体チップ（すなわち図12においては小径チップ3であり、図13においては大径チップ2）との間には、放熱板33を設けても良い。この放熱板33は、好ましくは半導体チップと同様の熱膨張率を有する材料を用いることで、半導体チップ2、3の反りを防止することができる。例えば半導体チップがシリコンからなる場合には、放熱板33としてシリコン（Si）やインコネル等を好適に用いることができる。ここで、半導体チップ2、3と放熱板33との間及び放熱板33と実装基板31との間の接着には、銀（Ag）やCuを混入させた樹脂を好適に用いることができる。

【0039】このような実装形態を採用することによって、半導体パッケージの熱を放熱板33から実装基板31側に放出することが可能になる。

【0040】尚、図12及び図13においては、放熱板33を介して半導体パッケージの熱を実装基板31側に放出する場合を説明した。しかし、半導体チップ（すなわち図12においては小径チップ3であり、図13においては大径チップ2）を、実装基板31に直接接触させた実装形態を採用することで、半導体パッケージの熱を半導体チップから直接実装基板31に放出することが可能になる。ただし、このような実装形態を採用する場合には、実装状態において、半導体チップ2、3と実装基板31とが接触するように、実装基板31側に設けられる半導体チップ2、3の厚みを調整することとする。

【0041】また、ここでは、半導体パッケージP側に半田ボール6が設けられている場合を説明したが、半導体パッケージがLGA構成の場合には、実装基板31側に半田ボール6が設けられていることとする。

【0042】図14は、本発明の半導体パッケージの製造方法の一例を示す断面工程図である。ここでは、一例として、図1を用いて説明した構成の半導体パッケージの製造方法を説明する。尚、図1を用いて説明したと同様の構成要素には同一の符号を付して説明を行うこととする。

【0043】まず、図14（1）に示すように、小径チップ（すなわちメモリ用チップ）3にバンプ7'を形成する。

【0044】この際、まず、各小径チップ3を切り出す前のウェハ状態において、このウェハの全面にスパッタリングにて、ここでの図示は省略したチタン（Ti）層とニッケル（Ni）層とを順次形成する。その後、バンプ7'形成部分に開口部を設けたレジストパターンを形成し、電解メッキを行うことによって開口部内に金（Au）または半田からなるバンプ7'を形成する。次に、レジストパターン除去し、新たなレジストパターンをマスクにしたエッチングによってTi/Ni層をパターニングする。これによって、バンプ7'の下地となってい

たTi/Ni層をパターニングしてなる外部電極をバンプ7'下に形成すると共に、Ti/Ni層からなる導電層を形成する。この導電層は、グランドや電源ラインにつながることが可能であり、メモリによって発生するノイズや外部からメモリに影響を与えるノイズをこのような導電層によってシールドすることが可能になる。以上の後、ウェハを所定の厚さに裏面研磨（バックグラインディング）し、さらにダイシングすることによってメモリ用の小径チップ3を得る。この小径チップ3は、バンプ7'を有するものとなる。

【0045】尚、バンプ7'は、電解メッキによって形成されたものに限定されることはなく、ワイヤーボンディング技術を応用して外部電極上に形成されたスタックドバンプ（いわゆるボールバンプ）であっても良い。また、外部電極としては、両側に接着剤層が形成された導電膜をウェハ上面に接着させたものでも良い。この場合の接着剤としては、熱可塑性のポリイミド樹脂もしくは、熱硬化性のエポキシ樹脂等を用いることができる。また、この際用いる導電膜は、銅（Cu）などの金属箔以外に樹脂系の導電性ポリマーからなるものであっても良い。

【0046】次に、ロジック用の大径チップ2に対して、このようなバンプ7'を有する小径チップ3の位置合わせを行う。ここでは、この大径チップ2を切り出す前のウェハ2aに対して小径チップ3の位置合わせを行うこととする。この際、大径チップ2が作り込まれたウェハ2aの表面に対して小径チップ3の表面（バンプ7'が形成された面）を対向させて配置することとする。

【0047】次いで、図14（2）に示すように、ウェハ2a内に作り込まれた各大径チップ2の外部電極（図示省略）に対して、バンプ7'を接合させ、これによってバンプ7'を介して小径チップ3と大径チップ2とを電氣的に接続する。その後、大径チップ2と小径チップ3との間に樹脂（アンダーフィル）10を流し込み、大径チップ2—小径チップ3間を樹脂10にて封止する。

【0048】ここで、大径チップ2の外部電極（図示省略）とバンプ7'とを接合させる場合には、例えば、小径チップ3を150℃から350℃に加熱し、さらに大径チップ2を常温～250℃の範囲に加熱した状態で、1つのバンプ7'あたり10g～200gの加圧により接合する。特に、大径チップ2の外部電極がアルミニウム（Al）の場合には、小径チップ3側を250℃、大径チップ2側を150℃に設定する。このような加熱加圧接合では、バンプ7'と外部電極とが溶融しながら合金を形成しつつ接合される。またここでは、超音波を同時に加えても良い。この場合、小径チップ3は常温でも接合可能である。

【0049】また、このような接合方法の他にも、大径チップ2上に、加熱により硬化する樹脂や導電性粒子を



含む樹脂（導電フィラー入りの接着剤）を乗せ、この上に小径3を載せることで、バンプ7'と大径チップ2の外部電極との接合と同時に、チップ間の樹脂封止を行っても良い。このような方法によれば、樹脂が硬化する際の収縮によって大径チップ2と小径チップ3とが圧着され、これによってバンプ7'と大径チップ2の外部電極とが接合される。またこの際、大径チップ2上に液状樹脂を乗せ、チップ間を部分的に樹脂封止しても良い。

【0050】次に、図14（3）に示すように、大径チップ2が作りこまれたウェハを、ダイシングすることによって各大径チップ2毎に分割し、これによって大径チップ2と小径チップ3とからなる接合チップを形成する。

【0051】その後、図14（4）に示すように、小径チップ3よりも一回り大きくかつ大径チップ2よりも一回り小さい開口部1aを有する基板1を用意する。この基板1は、通常のプリント基板やセラミック基板、ポリイミドテープ等が用いられ、表面に配線4が設けられている。この配線4は、開口部1aの周縁付近にまで延設され、開口部1aの周囲においては電極パッドとしてある程度の面積を有して設けられている。また、基板1に形成された接続孔1b内には配線4に接続させる状態で導電性材料5が埋め込まれている。この配線4及び導電性材料5の表面には、メッキ層5aが設けられている。

【0052】そして、配線4の電極パッド部分上には、メッキ層5aを介してバンプ7が形成されている。このバンプ7は、スタッドバンプであっても、電解メッキによって形成されたものであっても良く、AuまたはAu合金からなることとする。

【0053】ここでは、この基板1上のバンプ7を介して大径チップ2と基板1上の配線4とを電気的に接続する。この際、基板1の表面側（配線4が形成されている側）において開口部1aに対して大径チップ2の表面側（外部電極が形成された面）を対向させ、開口部1a内に小径チップ3をはめ込む。次に、例えば、基板1の配線4上に形成されたバンプ7に対して大径チップ2の外部電極を接合させ、これによって基板1上の配線4と大径チップ2とを電気的に接続させる。

【0054】ここで、バンプ7と大径チップ2の外部電極との接合は、例えば加熱加圧接合によって行われ、大径チップ2を200℃から350℃に加熱し、基板1を常温～150℃程度の範囲に加熱した状態で、1つのバンプ7あたり10g～200gの加圧により接合する。またここでは、超音波を同時に加えても良く、このようにした場合、大径チップ2は常温でも接合可能である。

【0055】この他にも、図14（2）を用いて説明したと同様に、導電フィラー入りの接着剤を用いて基板1上のバンプ7と大径チップ2の外部電極とを電気的に接続すると同時に、大径チップ2と基板1との間を樹脂（接着剤）にて封止するようにしても良い。

【0056】次に、図14（5）に示すように、大径チップ2を囲む状態で、基板1の配線4形成面側に接着剤9を用いて支持体8を接着固定させた後、基板1と大径チップ2及び小径チップ3との間、さらには支持体8と大径チップ2との間に樹脂10を流し込んで硬化させ、基板1—大径チップ2及び小径チップ3間を封止する。尚、図14（2）を用いて説明した工程で、大径チップ2—小径チップ3間に樹脂を充填していない場合には、基板1と小径チップ3との間隔を数mm以下に近づけるようにすることで、本工程において大径チップ2—小径チップ3間にも樹脂10を流し込むことが可能になる。

【0057】以上の後、図14（6）に示すように、基板1の接続孔1b内の導電性材料5に接続させる状態で半田ボール6を形成して半導体パッケージを完成させる。

【0058】以上の製造方法においては、小径チップ3と大径チップ2とを接続するバンプ7'は、小径チップ3上に形成することとして説明を行ったが、大径チップ2上に形成しても良い。同様に、大径チップ2と基板1とを接続するバンプ7は、基板1上に形成することとして説明を行ったが、大径チップ2上に形成しても良い。大径チップ2上にこれらのバンプ7及びバンプ7'を形成する場合には、これらのバンプ7及びバンプ7'を同時に形成しても良い。

【0059】尚、基板1と大径チップ2とを接続するバンプ7を、基板1上にスタッドバンプとして設けた場合には、基板1の配線4上のメッキ層5aとしては、その表面がAuメッキ層またはパラジウム（Pd）メッキ層であることとする。表面がAuメッキ層である場合には、下地としてニッケル（Ni）メッキ層やPdメッキ層が設けられていることとする。

【0060】次に、図15～図17には、基板1上への配線4及びバンプ7の形成方法の各例を示す。以下、フィルム状の基板1を用いた場合を例にとり、図15に示す例から順に形成方法を説明する。

【0061】まず、図15（1）に示すように、ポリイミドのような絶縁フィルムからなる基板1を用意し、この基板1に開口部1aと接続孔1bとなる打ち抜き穴を金型を用いて形成する。次に、図15（2）に示すように、接着剤（図示省略）を用いてこの基板1に銅箔4aを貼り付けた後、開口部1a及び接続孔1b内の接着剤を除去する。接着剤としては、エポキシ樹脂のような熱硬化性樹脂やポリイミド樹脂のような熱可塑性樹脂が用いられる。その後、図15（3）に示すように、接続孔1bの底部のみを露出させる形状のレジストパターン41を基板1の表面及び裏面に形成し、これをマスクに用いて接続孔1b内にCuメッキによる導電性材料5を埋め込んだ後、レジストパターン41を除去する。

【0062】次いで、図15（4）に示すように、基板1の両面に新たなレジストパターン42を形成した後、



図 15 (5) に示すようにこのレジストパターン 42 をマスクに用いて銅箔 4a をエッチングし、基板 1 の表面側に銅箔 4a をパターンニングしてなる配線 4 を形成する。次に、図 15 (6) に示すように、レジストパターン (42) を除去した後、配線 4 の表面及び接続孔 1b 内部の導電性材料 5 の表面に Ni メッキと Au メッキとを順次施してメッキ層 5a を形成し、しかる後、必要に応じて図 15 (7) に示すように、配線 4 上にメッキ層 5a を介してバンプ 7 を形成する。

【0063】また、図 16 に示す方法は次のように行う。まず、図 16 (1) に示すように、ポリイミドのような絶縁フィルムからなる基板 1 を用意し、フラッシュメッキまたはスパッタ法によって基板 1 の表面側に銅薄膜層 (図示省略) を形成した後、基板 1 上にレジストパターン 43 を形成する。次に、図 16 (2) に示すように、このレジストパターン 43 上からの電解メッキ処理によって、基板 1 表面の銅薄膜層上に銅メッキ層からなる配線 4 を形成する。

【0064】次に、図 16 (3) に示すように、レジストパターン (43) を除去し、さらに基板 1 表面の銅薄膜層を除去した後、図 16 (4) に示すように、基板 1 の表面及び裏面に新たなレジストパターン 44 を形成し、これをマスクに用いて基板 1 をその裏面側 (すなわち配線 4 が設けられていない面側) からエッチングする。これによって、基板 1 に開口部 1a と共に配線 4 に達する接続孔 1b を形成する。

【0065】その後、図 16 (5) に示すように、接続孔 1b の底部に露出する配線 4 に対してメッキ処理を行うことによって接続孔 1b の内部に導電性材料 5 を埋め込む。次いで、図 16 (6) に示すように、レジストパターン (44) を除去した後、配線 4 の表面及び接続孔 1b 内部の導電性材料 5 の表面に Ni メッキと Au メッキとを順次施してメッキ層 5a を形成し、しかる後、必要に応じて図 16 (7) に示すように、配線 4 上にメッキ層 5a を介してバンプ 7 を形成する。

【0066】また、図 17 に示す方法は次のように行う。まず、図 17 (1) に示すように、Cu テープ 4b の片面に樹脂材料 (例えば液状ポリイミド) を塗布して半硬化させた基板 1 を形成する。次に、図 17 (2) に示すように、基板 1 の裏面側 (Cu テープ 4b の反対側) にレジストパターン 45 を形成し、これをマスクに用いて基板 1 をエッチングすることによって基板 1 に開口部 1a と接続孔 1b とを形成し、その後レジストパターン 45 を除去する。

【0067】以上の後、図 17 (3) ~ 図 17 (7) に示す工程は、図 15 (3) ~ 図 15 (7) を用いて説明したと同様に行う。すなわち、図 17 (3) に示すように、接続孔 1b 内に導電性材料 5 を埋め込み、次いで図 17 (4) に示すように新たなレジストパターン 46 を形成した後、図 17 (5) に示すようにこのレジストパ

ターン 46 をマスクにして Cu テープ 4b エッチングして配線 4 をパターン形成する。次に、図 17 (6) に示すように、配線 4 表面及び導電性材料 5 の表面にメッキ層 5a を形成した後、必要に応じて図 17 (7) に示すようにバンプ 7 を形成する。

【0068】尚、基板 1、配線 4、開口部 1a 及び接続孔 1b の形成方法は、以上図 15、図 16、図 17 を用いて説明した方法に限定されることはない。

【0069】

10 【発明の効果】以上説明したように本発明の半導体パッケージ及びその製造方法によれば、基板上の配線を介することなく大径の半導体チップと小径の半導体チップとを接続することで、基板上における配線数を少なくすることができる。また、大径の半導体チップと小径の半導体チップとを重ね合わせたことで、パッケージサイズの小小型化が図られる。しかも、基板の開口部内に小径の半導体チップを収納することで、パッケージ厚を厚くすることを防止できる。以上の結果、複数の半導体チップを搭載しながらも、薄くて小型でしかも、基板上における配線数が少なく低コストの半導体パッケージを得ることが可能になる。

【図面の簡単な説明】

【図 1】本発明の半導体パッケージの第 1 例を示す断面図である。

【図 2】本発明の半導体パッケージの第 2 例を示す断面図である。

【図 3】本発明の半導体パッケージの第 3 例を示す断面図である。

30 【図 4】本発明の半導体パッケージの第 4 例を示す断面図である。

【図 5】本発明の半導体パッケージの第 5 例を示す断面図である。

【図 6】本発明の半導体パッケージの第 6 例を示す断面図である。

【図 7】本発明の半導体パッケージの第 7 例を示す断面図である。

【図 8】本発明の半導体パッケージの第 8 例を示す断面図である。

40 【図 9】本発明の半導体パッケージの第 9 例を示す断面図である。

【図 10】本発明の半導体パッケージの第 10 例を示す断面図である。

【図 11】本発明の半導体パッケージの第 11 例を示す断面図である。

【図 12】半導体パッケージの実装形態の第 1 例を説明する断面図である。

【図 13】半導体パッケージの実装形態の第 2 例を説明する断面図である。

50 【図 14】本発明の半導体パッケージの製造方法を説明する断面工程図である。

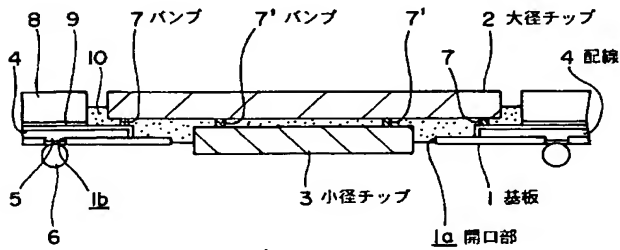
【図 15】半導体パッケージに用いる基板の製造方法の第 1 例を説明する断面工程図である。

【図16】半導体パッケージに用いる基板の製造方法の第2例を説明する断面工程図である。

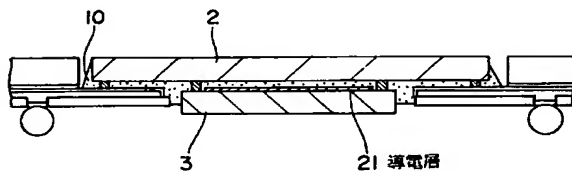
【図 17】半導体パッケージに用いる基板の製造方法の第 3 例を説明する断面工程図である。

【図 18】従来の半導体パッケージの構成を示す断面図

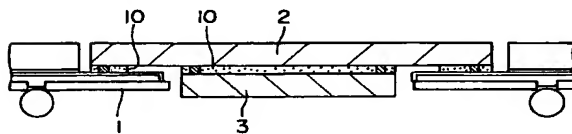
【図 1】



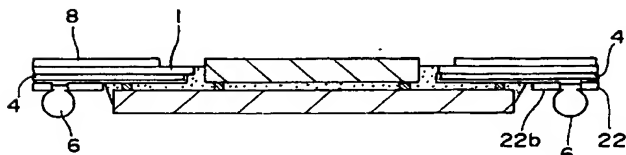
【図3】



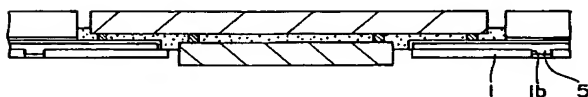
【図5】



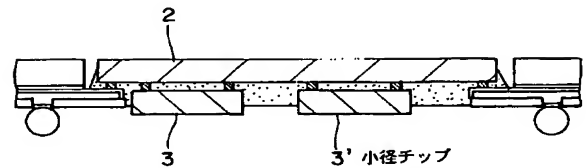
【図 7】



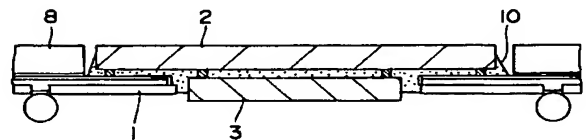
【図9】



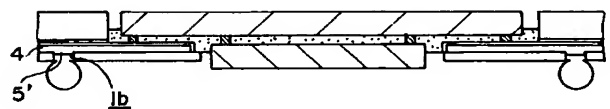
【図 2】



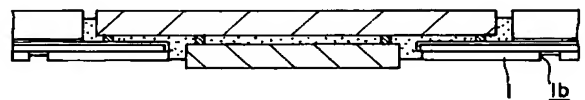
【図4】



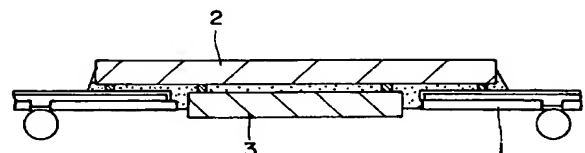
【図 6】



【図8】



【図 10】

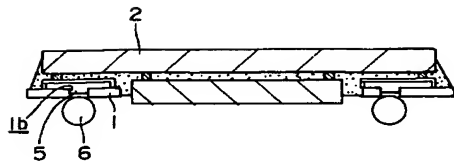


である。

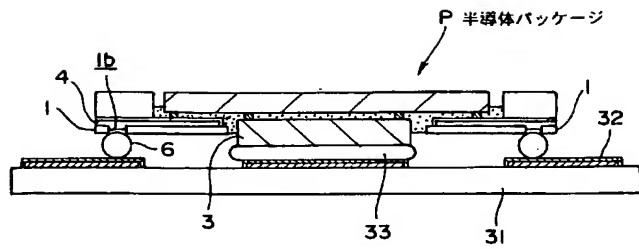
【符号の説明】

1…基板、1a…開口部、2…大径チップ（大径の半導体チップ）、3…小径チップ（小径の半導体チップ）、4…配線、7、7'…バンプ、10…樹脂、21…導電層、P…半導体パッケージ

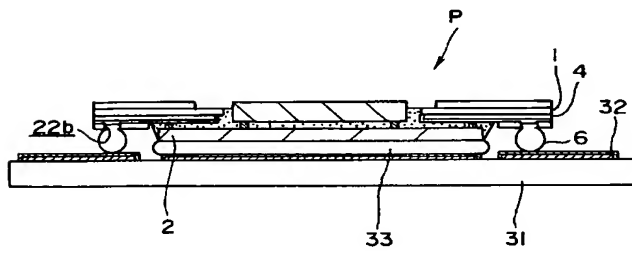
【図 11】



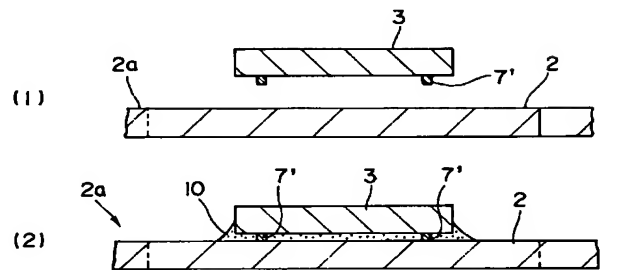
【図 12】



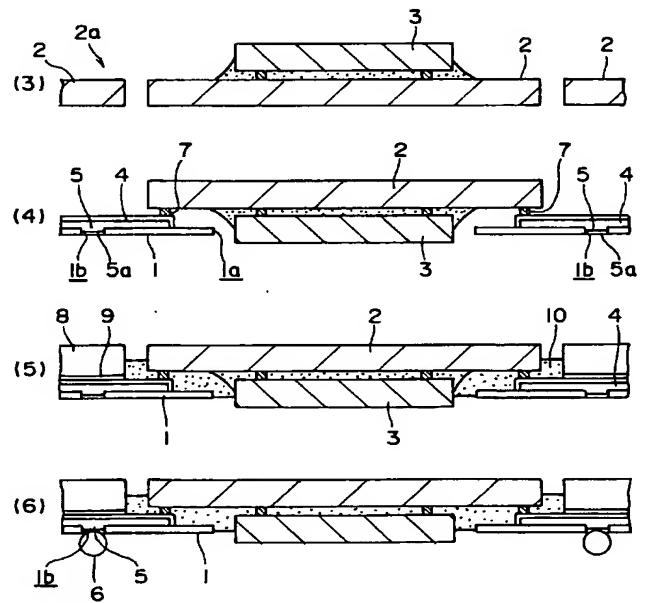
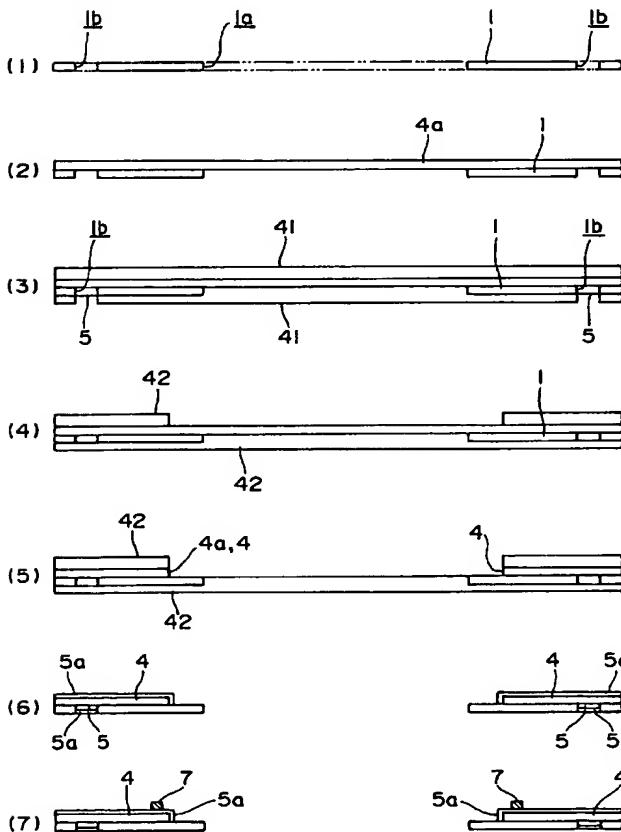
【図 13】



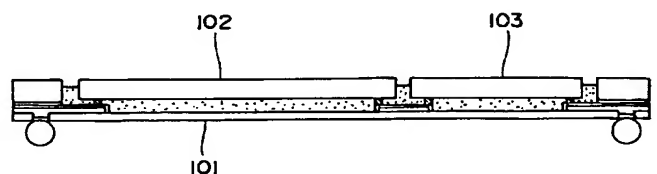
【図 14】



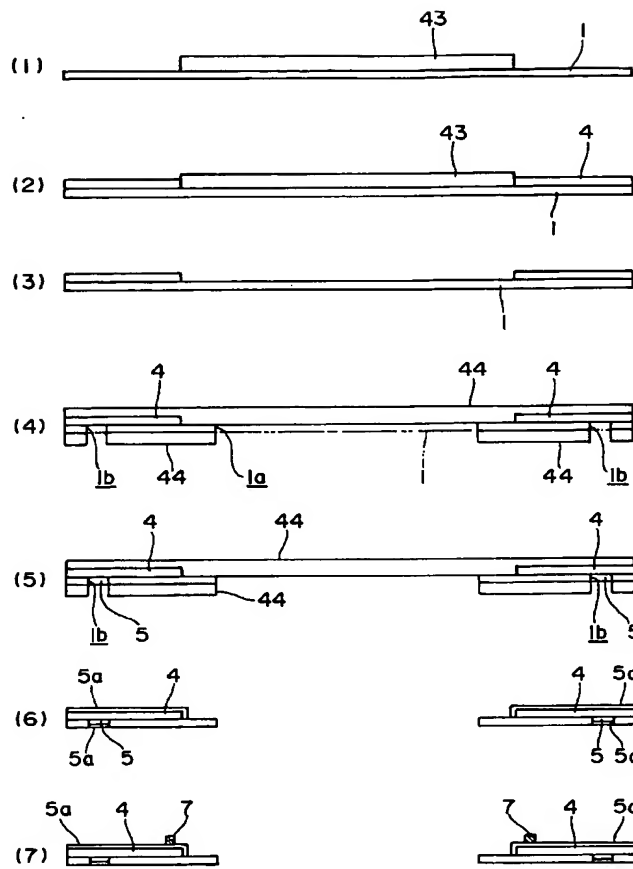
【図 15】



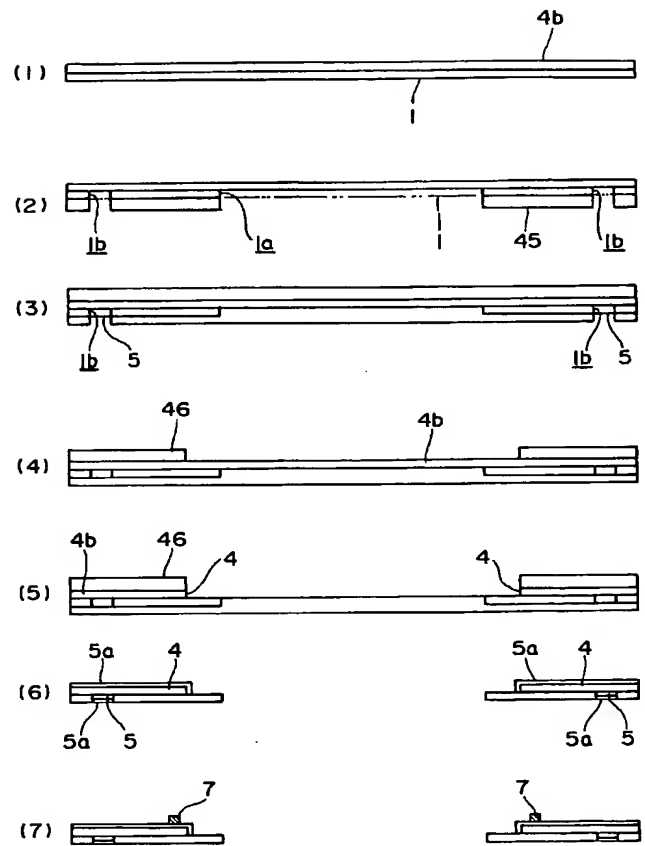
【図 18】



【図16】



【図17】



(11) JP-A No.2001-308258

(43) Publication Date: November 2, 2001

(21) Application Number: Japanese Patent Application No.  
2000-125953

(22) Filing Date: April 26, 2000

(71) Applicant: 000002185

Sony Corporation

(72) Inventor: Hirotaka Kobayashi

[0036] Figs. 12 and 13 show states where the above described semiconductor packages have been mounted. Here, Fig. 12 shows a state where a semiconductor package having the configuration described in reference to Fig. 1, which represents semiconductor packages as described in reference to Figs. 1 to 11, has been mounted, and Fig. 13 shows a state where a semiconductor package having the configuration described in reference to Fig. 7 has been mounted.

[0037] As shown in these figures, semiconductor packages P are placed in a state where the surfaces on which solder balls 6 have been provided face the surfaces of mounting substrates 31 on which wiring patterns 32 have been formed. Thus, wires 4 of semiconductor packages P and wiring patterns 32 on mounting substrates 31 are connected to each other via solder balls 6 provided on semiconductor packages P.

[0038] In addition, a radiator plate 33 may be provided between a mounting substrate 31 and a semiconductor chip in a semiconductor package P (that is to say, a chip 3 having a small diameter in Fig. 12 or a chip 2 having a large diameter in Fig. 13). Preferably, a material having the same coefficient of thermal expansion as that of the semiconductor chip 2 or 3 is used for this radiator plate 33, so that the semiconductor chip can be prevented from being warped. In the case where the semiconductor chip is made of silicon, for example, Silicon (Si), Inconel or the like is appropriate for use as the radiator plate 33. Here, a resin into which Silver (Ag) or Copper (Cu) has been mixed is appropriate for use as an adhesive between the semiconductor chip 2 or 3 and the radiator plate 33, as well as between the radiator plate 33 and the mounting substrate 31.

[0039] The state of mounting as described above is adopted, and thereby, it becomes possible to release heat from a semiconductor package through the radiator plate 33 toward the mounting substrate 31 side.